

THROUGH-TYPE VARISTOR

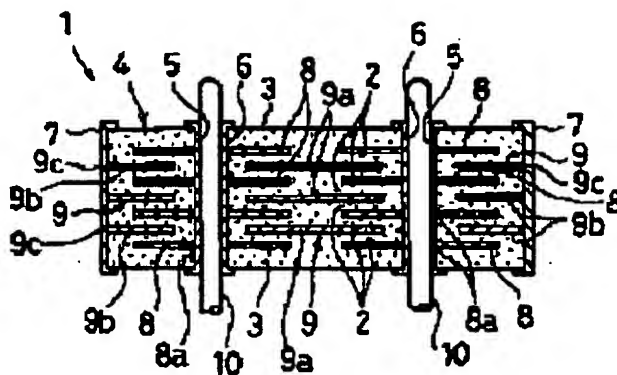
Patent number: JP7014704
Publication date: 1995-01-17
Inventor: UENO YASUSHI
Applicant: MURATA MANUFACTURING CO
Classification:
- International: H01C7/10; H01C7/10; (IPC1-7): H01C7/10
- european:
Application number: JP19930007519 19930120
Priority number(s): JP19930007519 19930120

Report a data error here

Abstract of JP7014704

PURPOSE: To provide a through-type varistor which can deal with a low voltage driven computer circuit by lowering the varistor voltage and in which the surge resistance and electrostatic resistance can be enhanced while realizing miniaturization.

CONSTITUTION: Through holes 5 are made through a sintered body 4 comprising semiconductor ceramic layers 2. A first outer electrode 6 is formed on the inner peripheral surface of the through-hole 5 and a second outer electrode 7 is formed on the outer surface of the sintered body 4. First and second inner electrodes 8, 9 are embedded in the sintered body 4 while sandwiching the ceramic layer 2. The first inner electrode 8 is connected, at one end face 8a thereof, with the first outer electrode 6 and the second inner electrode 9 is connected, at one end face 9c thereof, with the second outer electrode 7.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-14704

(43) 公開日 平成7年(1995)1月17日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 C 7/10

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平5-7519

(22) 出願日 平成5年(1993)1月20日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 上野 靖司

京都府長岡京市天神2丁目26番10号 株式
会社村田製作所内

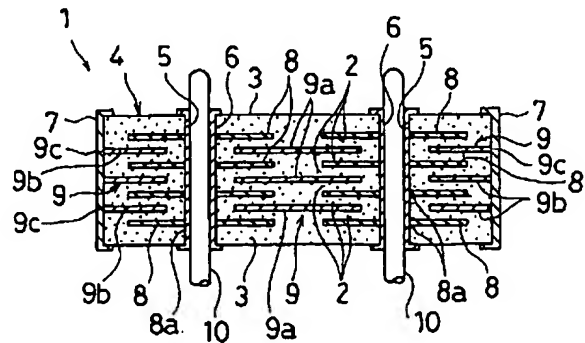
(74) 代理人 弁理士 下市 努

(54) 【発明の名称】 貫通型バリスタ

(57) 【要約】

【目的】 バリスタ電圧を小さくして低電圧駆動のコンピュータ回路に対応できるとともに、小型化を図りながらサージ耐量、静電気耐量を向上できる貫通型バリスタを提供する。

【構成】 半導体セラミック層2からなる焼結体4に貫通孔5を形成し、該貫通孔5の内周面に第1外部電極6を形成するとともに、上記焼結体4の外表面部分に第2外部電極7を形成する。そして上記焼結体4の内部にセラミック層2を挟んで重なり合うように第1、第2内部電極8、9を埋設し、該第1内部電極8の一端面8aを上記第1外部電極6に接続するとともに、上記第2内部電極9の一端面9cを上記第2外部電極7に接続する。



【特許請求の範囲】

【請求項1】 半導体セラミックからなる焼結体に貫通孔を形成し、該貫通孔の内周面に第1外部電極を形成するとともに、上記焼結体の外表面部分に第2外部電極を形成し、上記焼結体内にセラミックを挟んで重なり合うように少なくとも一對の第1、第2内部電極を埋設し、該第1内部電極の一端面上に上記第1外部電極に接続するとともに、上記第2内部電極の一端面上に上記第2外部電極に接続したことを特徴とする貫通型バリスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電圧非直線抵抗体として機能する貫通型バリスタに関し、特に強度の低下等の問題を解消してバリスタ電圧を小さくでき、かつ小型化を図りながらサージ耐量、静電気耐量を向上できるようにした構造に関する。

【0002】

【従来の技術】近年、産業用機器、家電製品、あるいは通信機器等においてはマイクロコンピュータが搭載されるようになってきている。このマイクロコンピュータは駆動電圧が低電圧であるとともに、半導体素子によるデジタル制御処理が行われることから、静電気放電等の電磁障害に伴う半導体素子の誤動作が生じるおそれがある。このような機器内部へのEMIノイズの侵入経路は、電源部分、信号配線部分、あるいは機器間を結ぶコネクタケーブル等からの経路が多いことから、これらの部分に用いられるノイズフィルタの果たす役割が重要視されている。

【0003】上記ノイズフィルタとして、従来、コンデンサ素子、インダクタ素子、あるいはバリスタ素子等をコネクタ内に内蔵し、これによりコネクタにノイズ除去機能を持たせたものが多数提案されている。このようなコネクタに内蔵されるバリスタ素子の一例として、従来、図4及び図5に示すような貫通型バリスタが採用されている。この貫通型バリスタ20は、半導体セラミックからなる円柱状の焼結体21の軸心に貫通孔22を形成し、該貫通孔22の内周面に電極23を形成するとともに、上記焼結体21の外周面に電極24を形成した構造となっている。そして上記貫通孔22内にコネクタピン25を挿入し、該ピン25と電極23とを半田付け接続し、上記電極24を外回路のアースに接続する。

【0004】上記貫通型バリスタ20では、両電極23、24間の半導体セラミックの界面に形成されるショットキー障壁によって電圧非直線特性を得るものである。また上記焼結体21の電極23、24間のセラミックの厚さ、及び焼成条件等を設定することによって半導体粒子の粒界数を制御し、これによりバリスタ電圧、静電容量等の電気的特性をコントロールしている。

【0005】

【発明が解決しようとする課題】ところで、上記マイク

ロコンピュータのような低電圧駆動の回路に対応するには、バリスタ電圧をできるだけ小さくする必要があり、そのためには上記焼結体の厚さを薄くする必要がある。またサージ耐量、静電容量を向上させるには上記電極面積を大きくする必要がある。

【0006】しかしながら、上記従来の貫通型バリスタでは、焼結体の厚さを薄くするには強度上の点から限界があり、また焼結体中の半導体セラミック結晶を成長させるには限界があることから、10V以下のバリスタ電圧を得ることは困難となっている。また、上記電極面積を大きくするには、それだけ焼結体の表面積を大きくする必要があることから、素子が大型化するという問題がある。

【0007】本発明は上記従来の状況に鑑みてなされたもので、強度の低下や半導体セラミックの成長の問題を生じることなくバリスタ電圧を小さくできるとともに、素子の小型化を図りながらサージ耐量、静電気耐量を向上できる貫通型バリスタを提供することを目的としている。

【0008】

【課題を解決するための手段】本発明は、半導体セラミックからなる焼結体に貫通孔を形成し、該貫通孔の内周面に第1外部電極を形成するとともに、上記焼結体の外表面部分に第2外部電極を形成し、上記焼結体内にセラミックを挟んで重なり合うように少なくとも一對の第1、第2内部電極を埋設し、該第1内部電極の一端面上に上記第1外部電極に接続するとともに、上記第2内部電極の一端面上に上記第2外部電極に接続したことを特徴とする貫通型バリスタである。

【0009】

【作用】本発明に係る貫通型バリスタによれば、焼結体の内部に第1、第2内部電極を埋設し、該内部電極間のセラミック層の界面で電圧非直線特性を得るようにしたので、焼結体自体の厚さを薄くすることなく上記内部電極間のセラミック層の厚さを薄くすることができる。その結果、従来の強度の低下やセラミック結晶の成長の問題を生じることなくバリスタ電圧を小さくでき、上述の低電圧駆動のコンピュータ回路に対応できる。また、上記各内部電極の積層枚数を増やすことにより電極面積を大きくすることができるから、素子を大型化することなくサージ耐量、静電気耐量を向上でき、ノイズ吸収素子、サージ吸収素子としての信頼性を向上できる。

【0010】

【実施例】以下、本発明の実施例を図について説明する。図1ないし図3は本発明の一実施例による貫通型バリスタを説明するための図である。図において、1は本実施例の貫通型バリスタであり、このバリスタ1は略直方体状のもので、これは複数の半導体セラミック層2を重ねるとともに、これの上部、下部にダミー用セラミック層3を重ねて積層体を形成し、該積層体を一体焼結し

となる焼結体4により構成されている。

【0011】上記焼結体4にはこれの積層方向に一对の貫通孔5が所定間隔をあけて3組形成されており、該各貫通孔5の内周面には第1外部電極6が被覆形成されている。また上記焼結体4の四側面にはアースとしての第2外部電極7が被覆形成されている。

【0012】上記焼結体4の各半導体セラミック層2の上面には第1、又は第2内部電極8、9が形成されており、この各内部電極8、9は焼結体4内に埋設されている。上記第1、第2内部電極8、9は厚さ方向に交互に配置されており、各内部電極8、9の一部は上記セラミック層2を挟んで対向している。

【0013】上記第1内部電極8は上記各貫通孔5に対応するように6つ形成されており、各内部電極8の周端面はセラミック層2の内側に位置している。また各第1内部電極8の中心部には貫通孔5が位置しており、該貫通孔5の第1外部電極6と上記第1内部電極8の内周端面8aとは電氣的に接続されている。

【0014】また、上記第2内部電極9はセラミック層2の中央部に長手方向に延びるよう形成された電極9aと、上記セラミック層2の長手方向両縁部に上記各第1内部電極8に対向するよう形成された電極9bとからなる。この各電極9aと各電極9bとの間に上記貫通孔5が位置しており、両者は電氣的に非接続状態となっている。さらにまた各電極9a、9bの端面9cはそれぞれセラミック層2の外縁部に露出されており、この各端面9cは上記第2外部電極7に電氣的に接続されている。

【0015】次に本実施例の貫通型バリスタ1の一製造方法について説明する。まず、ZnO (96.0mol%)を主成分とし、これにCoCO₃ (1.0mol%), MnCO₃ (0.5mol%), Sb₂O₃ (2.0mol%), Bi₂O₃ (0.5mol%)を上記モル比となるように混合してなるセラミック材料に、B₂O₃、SiO₂、PbO及びZnOからなるガラス粉末を0.1重量%加えて調合し、セラミック原料粉末を作成する。

【0016】上記セラミック原料粉に有機質バインダを混合してスラリーを形成した後、リバースローラ法により厚さ10〜50μmのセラミックグリーンシートを形成し、このグリーンシートを矩形状に切断して多数の半導体セラミック層2、ダミー用セラミック層3を形成する。

【0017】次に、Ptからなる貴金属粉末に有機ビヒクルを混合して電極ペーストを作成する。この電極ペーストを、図3に示すように、上記半導体セラミック層2の上面にスクリーン印刷して第1、第2内部電極8、9を形成する。

【0018】次いで、上記各セラミック層2を第1、第

2内部電極8、9が該セラミック層2を挟んで交互に位置するように重ね、これの上部、下部にダミー用セラミック層3を10枚重ねる。続いてこれの積層方向に2t/cm²の圧力を加えて圧着して積層体を形成する。

【0019】上記積層体の積層方向に貫通孔5を形成する。この各貫通孔5は上記第1内部電極8の中心部を通して、第2内部電極9の電極9aと各電極9bとの間に位置するように形成する。これにより上記各貫通孔5の内周面に上記第1内部電極8の内周端面8aが露出することとなる。この後、積層体を所定寸法に切断し、該積層体の四側面に上記各電極9a、9bの端面9cのみを露出させる。

【0020】次いで、上記積層体を空気中にて1050℃〜1150℃の温度で3時間焼成し、これにより焼結体4を得る。そして、この焼結体4の四側面、及び各貫通孔5の内周面に、Ag:Pd=7:3の重量比からなる電極ペーストを塗布した後、焼き付けて第1、第2外部電極6、7を形成する。これで上記第1外部電極6と第1内部電極8とが接続されるとともに、上記第2外部電極7と第2内部電極9とが接続される。これにより本実施例の貫通型バリスタ1が製造される。

【0021】次に、本実施例の作用効果について説明する。本実施例の貫通型バリスタ1は、これの各貫通孔5内に例えば電子機器のコネクタピン10を挿入し、該ピン10と第1外部電極6とを半田付け接続するとともに、第2外部電極7を外部回路のアースに接続する。これにより上記コネクタピン10から侵入した電磁ノイズは第1、第2内部電極8、9の半導体セラミック層2を介して第2外部電極7から外部にアースされることとなる。

【0022】このように本実施例によれば、焼結体4の内部に第1、第2内部電極8、9をセラミック層2を介在させて交互に積層し、該各第1内部電極8の内周端面8aを第1外部電極6に接続するとともに、上記各第2内部電極9の端面9cを第2外部電極に接続したので、この内部電極8、9間のセラミック層2の厚さを薄くすることができ、従来では困難であった10V以下のバリスタ電圧を得ることができ、ひいてはコンピュータの駆動電圧の低電圧化に対応できる。

【0023】また、本実施例では、焼結体4の大きさを変えずに各内部電極8、9の積層数を増やすことができるので、それだけ電極面積を大きくすることができ、小型化を図りながらサージ耐量、静電気耐量を向上でき、ノイズ吸収素子、サージ吸収素子としての信頼性を向上できる。

【0024】

【表1】

5
表-1

	I R (MΩ)	V _{1mA} (V)	α 1-10mA	Cap. (pF)	サージ耐量 (A)	静電気耐量 (kV)
実施例	100	4.2	35	980	125	10
	180	7.8	38	730	150	12
	200	15.1	42	490	200	15
従来例	40	18.6	28	320	80	8
	100	42.3	32	210	70	20

【0025】表1は、上記実施例の貫通型バリスタ1の効果を確認するために行った試験結果を示す。この試験は、上述した製造方法により本実施例試料を作成し、この各試料のバリスタ電圧V_{1mA}、電圧非直線係数α、静電容量pFを測定するとともに、V_{1mA}の半分の電圧を30秒間印加したときの抵抗値MΩ、8×20μ秒の三角電流波を印加したときのサージ耐量A、及びIEC801-2準拠の静電気放電パルス印加したときの静電気耐量kVを測定した。また、比較するために従来の貫通型バリスタ（図4参照）についても同様の測定を行った。

【0026】表1からも明らかなように、本実施例試料では、バリスタ電圧が4.2～15.1V、電圧非直線係数が35～42、また静電容量が980～490pFと従来試料に比べて向上している。また抵抗値においても本実施例試料では100～200MΩと従来試料に比べて高くなっている。さらにまた、サージ耐量では従来試料が70、80Aであるのに対して、本実施例試料の場合は125～200Aと高くなっており、さらに静電気耐量では従来試料が8、20kVであるのに対して、本実施例試料の場合は10～15kVとなっている。このように本実施例試料によれば、従来試料に比べて何れの電気的特性も大幅に向上していることがわかる。

【0027】

【発明の効果】以上のように本発明に係る貫通型バリスタによれば、焼結体内にセラミックを挟んで重なり合う*

*ように第1、第2内部電極を形成し、該第1内部電極を第1外部電極に接続するとともに、第2内部電極を第2外部電極に接続したので、バリスタ電圧を小さくでき、低電圧駆動のコンピュータ回路に対応できる効果があり、また素子を大型化することなく電極面積を増やすことができ、ひいては小型化を図りながらサージ耐量、静電気耐量を向上できる効果がある。

【図面の簡単な説明】

20 【図1】本発明の一実施例にらる貫通型バリスタを説明するための断面図である。

【図2】上記実施例の貫通型バリスタの斜視図である。

【図3】上記実施例の貫通型バリスタの製造方法を示す分解斜視図である。

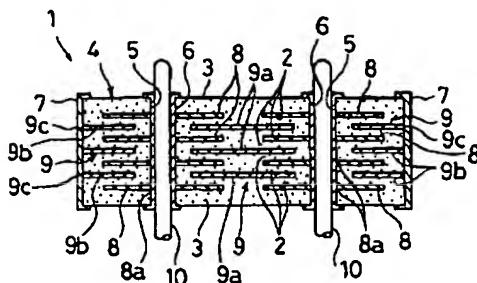
【図4】従来の貫通型バリスタを示す斜視図である。

【図5】従来の貫通型バリスタを示す断面図である。

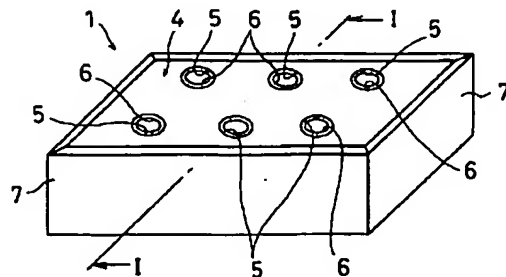
【符号の説明】

- 1 貫通型バリスタ
- 2 セラミック層
- 4 焼結体
- 5 貫通孔
- 6 第1外部電極
- 7 第2外部電極
- 8 第1内部電極
- 8a 内周端面（一端面）
- 9 第2内部電極
- 9c 一端面

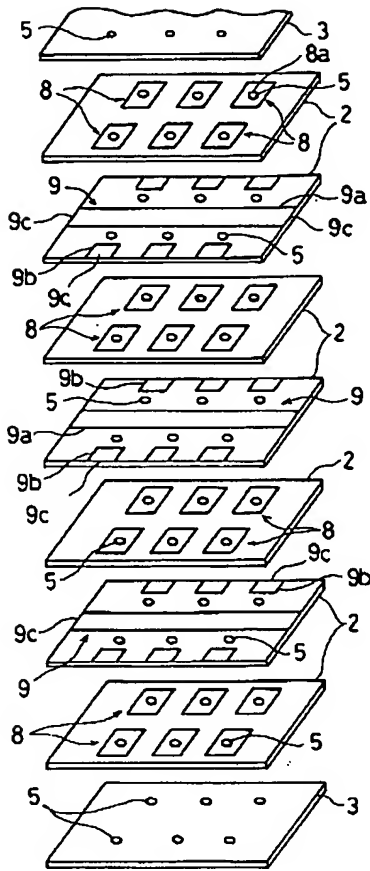
【図1】



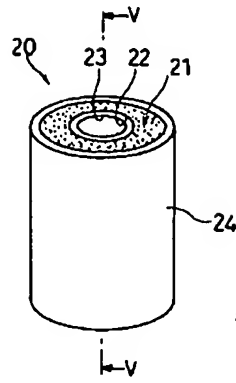
【図2】



【図3】



【図4】



【図5】

